

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-084267

(43)Date of publication of application : 14.04.1988

(51)Int.Cl. H04N 1/41

(21)Application number : 61-228104 (71)Applicant : RICOH CO LTD

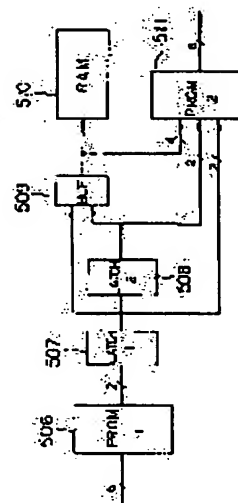
(22)Date of filing : 29.09.1986 (72)Inventor : MURAI KAZUO

(54) DATA COMPRESSING SYSTEM

(57)Abstract:

PURPOSE: To reduce number of buffer memories by providing a mean density arithmetic circuit, a detection circuit for a picture element arrangement information and an edge extraction circuit so as to output an edge code and picture element arrangement information in detecting the edge and outputting mean density in other case.

CONSTITUTION: A picture is decomposed into an intermediate section and edge section, the gradation is emphasized for the intermediate section and the edge information, that is, dot arrangement is emphasized for the processing. The edge processing outputs the dot arrangement information and the non-edge part outputs the intermediate data together with the edge information. In the 2×2 dot arrangement circuit, the input data is subject to 4-value processing by a PROM 506 depending on the threshold value. The value is latched in latches 507, 508 and two picture elements are gathered and stored by one line in the RAM 510. In the next line, the two picture element data latched in the latches 507, 508 and the two picture element data stored in the RAM 510 are read and inputted to the PROM 511 to output 2×2 picture element dot arrangement information. The buffer 509 is used to avoid the collision of the output of the latches 507, 508 at the 2nd line processing with the read data from the RAM 510.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭63-84267

⑪ Int.Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和63年(1988)4月14日

H 04 N 1/41

B-8220-5C

審査請求 未請求 発明の数 1 (全21頁)

⑭ 発明の名称 データ圧縮方式

⑮ 特 願 昭61-228104

⑯ 出 願 昭61(1986)9月29日

⑰ 発 明 者 村 井 和 夫 東京都大田区中馬込1丁目3番6号 株式会社リコー内

⑱ 出 願 人 株 式 会 社 リ コ ー 東京都大田区中馬込1丁目3番6号

⑲ 代 理 人 弁 理 士 武 願 次 郎

明 細 書

1. 発明の名称

データ圧縮方式

2. 特許請求の範囲

(1) 2画素以上の単位ブロックに分割する多値化可能なプリンタのデータ圧縮方式において、前記単位ブロック内の平均濃度を演算する平均濃度演算回路と、前記単位ブロック内の画素配置情報を検出する画素配置情報検出回路と、エッジ抽出回路とを備え、エッジを検出したときエッジ符号とともに画素配置情報を、その他の場合は平均濃度を出力することを特徴とするデータ圧縮方式。

(2) 前記画素配置情報に濃度情報を付加して出力することを特徴とする特許請求の範囲第(1)項に記載のデータ圧縮方式

(3) 前記画素配置情報は予め決められたパターンに近いパターンを選択することを特徴とする特許請求の範囲第(1)項に記載のデータ圧縮方式。

3. 発明の詳細な説明

(技術分野)

本発明は、データ圧縮方式に関し、より詳細には、階調性を保持して解像力の高い出力画像を要求するデジタル複写装置、レーザビームカラープリンタ等に適用し得るデータ圧縮方式に関するものである。

(従来技術)

データ圧縮はファクシミリ等において白/黒文字を中心として確率的に行われており、中間調は2値化後に行われている。

ところで、最近開発の進んでいるデジタルプリンタにおいては、階調数が大きく、解像力が高いことが高品位化のポイントである。

一般的に、階調数は64以上、解像力は400ドット・パー・インチ(dpi)以上であることが特にコピーとして使用する場合は必要であるとされている。

レーザビームプリンタにおいては一般的に2値化であるが、最近解像力を向上するために5~8値化が開発されている。

5値化とは第25図に示すように、1ドットを

4分割し、0～4の5値出力を得るものである。

このレベルが64以上であれば、例えば400 d p iのスキヤナの読取り値を400 d p i、64階調で出力することができ、上述したコピーの仕様を満足することができる。

しかし、現状では實際上5～8値化しかビーム径を制御することができないので、階調を面積階調で行っている。実際の濃度パターンの例を第19図に示す。この図では濃度0～63のうち31のとき塗り潰してある。このように多値化することで、この例の5値化の場合4×4の面積で64階調は表現できるが、解像力が1/4、すなわち100 d p iに低下する。

解像力を向上させる方法としてサブマトリクス法が知られている。これは4×4の母マトリクスから、例えば2×2のマトリクスを切り出してその位置関係を保ちながら出力するようにしたものである。上記の5値化パターンで第26図の2×2マトリクスの場合の出力例を第27図に示す。

これにより見掛け上の解像力が向上し、2×2

のサブマトリクスで200 d p i相当に向上する。

上述した面積階調には、デイザ法および濃度パターン法の2種類があり、デイザ法は第19図のパターンで考えると400 d p iでの読込み値1画素に対し4分割した4つのしきい値と比較して400 d p iの4分割出力のレベルを決定するものである。

これに対し、濃度パターン法は、例えば4×4の面積について入力データを平均化し、この平均値と第19図のしきい値を比較して4×4画素について出力するもので、上記2×2のサブマトリクスもこの濃度パターン法を用いるものである。

例えば、レーザビームカラープリンタにおいてブラック感光体ドラムとイエロー感光体ドラム、イエロー感光体ドラムとマゼンタ感光体ドラムおよびマゼンタ感光体ドラムとシアン感光体ドラムの間隔を100 mmと仮定すると、第28図のそれぞれイエロー、マゼンタおよびシアン用のバッファメモリ108 y、108 mおよび108 cは単に感光体ドラム間距離に対応するタイムディレイ

を発生するものである。第28図はレーザビームカラープリンタの回路構成を示すブロック図であるが、詳細は後述するので、ここでは必要部分についてのみ参照する。各メモリの書き込みタイミングは同時であるが、読出しタイミングは図を参照すると、メモリ108 yはレーザ43 yの変調付勢タイミングに合わせて、メモリ108 mはレーザ43 mの変調付勢タイミングに合わせて、またメモリ108 cはレーザ43 cの変調付勢タイミングに合わせて行われ、それぞれに異なる。各メモリの容量はA3を最大サイズとするときで、メモリ108 yで最小限A3原稿の最大所要量の24%、メモリ108 mで48%、またメモリ108 cで72%程度であればよい。例えば、CCDの読取り画素密度を400 d p i（ドット・パー・インチ：15.75ドット/mm）とすると、メモリ108 yは5値化出力でデイザ処理を行つた場合メモリ108 yは2.8 Mバイト

・ 108 mは5.6 Mバイト

・ 108 cは8.4 Mバイト

と膨大な量が必要となる。

第29図に示すように、濃度パターン法で平均化した後のデータをバッファメモリ108 y、108 m、108 cに入れると、メモリ容量は4×4マトリクスでは1/8、2×2マトリクスでは1/2に低下するが前述したように解像力もそれぞれ、1/4、1/2に低下してしまう。第29図はレーザビームカラープリンタの回路構成を示すブロック図であるが第28図と同様に詳細については後述する実施例において説明するのでここでは省略する。

（目的）

本発明は、上述した従来方式の欠点に鑑みてなされたもので、その目的とするところは、解像力および階調性は両立させなくても画質に影響が少ないことを考慮して、階調性および解像力を低下させることなくバッファメモリの数の低減させることができるデータ圧縮方式を提供することにある。

(構成)

本発明は上記の目的を達成させるため、2画素以上の単位ブロックに分割する多値化可能なプリンタのデータ圧縮方式において、前記単位ブロック内の平均濃度を演算する平均濃度演算回路と、前記単位ブロック内の画素配置情報を検出する画素配置情報検出回路と、エッジ抽出回路とを備え、エッジを検出したときエッジ符号とともに画素配置情報を、その他の場合は平均濃度を出力することを特徴としたものである。

以下、本発明の一実施例に基づいて具体的に説明する。

まず、第1図において本発明を実施する一形式のデジタルカラー複写機の機構部の構成要素を示し、第2図に電装部の回路構成をブロック図で略示する。

まず第1図を参照すると、原稿1はプラテン(コンタクトガラス)2の上に置かれ、原稿照明用蛍光灯3、3により照明され、その反射光が移動可能な第1ミラー4、第2ミラー4、お

第1キャリッジ8と第2キャリッジが往動(原画像読取り走査)、復動(リターン)し、第2キャリッジ9が第1キャリッジ8の1/2の速度で移動する。

第1キャリッジ8が第1図に示すホームポジションにあるとき、第1キャリッジ8が反射形のフォトセンサであるホームポジションセンサ39で検出される。この検出態様を第3図に示す。第1キャリッジ8が露光走査で右方に駆動されてホームポジションから外れると、センサ39は非受光(キャリッジ非検出)となり、第1キャリッジ8がリターンでホームポジションに戻ると、センサ39は受光(キャリッジ検出)となり、非受光から受光に変わったときにキャリッジ8が停止される。

ここで第2図を参照すると、CCD7r、7g、7bの出力は、アナログ/デジタル変換されて画像処理ユニット100で必要な処理を施されて、記録色情報であるブラック(Bk)、イエロー(Y)、マゼンタ(M)およびシアン(C)それ

より第3ミラー4で反射され、結像レンズ5を経て、ダイクロイックプリズム6に入り、ここで3つの波長の光、レッド(R)、グリーン(G)およびブルー(B)に分光される。分光された光は固体撮像素子であるCCD7r、7gおよび7bにそれぞれ入射する。すなわち、レッド光はCCD7rに、グリーン光はCCD7gに、またブルー光はCCD7bに入射する。蛍光灯3、3と第1ミラー4、第2ミラー4、第3ミラー4、第4ミラー4が第1キャリッジ8に搭載され、第2ミラー4、第3ミラー4、第4ミラー4が第2キャリッジ9に搭載され、第2キャリッジ9が第1キャリッジ8の1/2の速度で移動することによつて、原稿1からCCDまでの光路長が一定に保たれ、原稿画像読取り時には第1および第2キャリッジが右から左へ走査される。キャリッジ駆動モータ10の軸に固着されたキャリッジ駆動プーリ11に巻き付けられたキャリッジ駆動ワイヤ12に第1キャリッジ8が係合され、第2キャリッジ9上の図示しない動滑車にワイヤ12が巻き付けられている。これにより、モータ10の正、逆転により、

それぞれの記録付勢用の5値化信号に変換される。5値化信号のそれぞれは、レーザドライバ112bk、112y、112mおよび112cに入力され、各レーザドライバが半導体レーザ113bk、113y、113mおよび113cを付勢することにより、記録色信号(5値化信号)で変調されたレーザ光を出射する。

再度第1図を参照する。出射されたレーザ光は、それぞれ、回転多面鏡13bk、13y、13mおよび13cで反射され、f-θレンズ14bk、14y、14mおよび14cを経て、第4ミラー15bk、15y、15mおよび15cと第5ミラー16bk、16y、16mおよび16cで反射され、多面鏡面倒れ補正シリンドリカルレンズ17bk、17y、17mおよび17cを経て、感光体ドラム18bk、18y、18mおよび18cに結像照射する。回転多面鏡13bk、13y、13mおよび13cは、多面鏡駆動モータ41bk、41y、41mおよび41cの回転軸に固着されており、各モータは一定速度で回転し多

面鏡を一定速度で回転駆動する。多面鏡の回転により、前述のレーザ光は、感光体ドラムの回転方向（時計方向）と垂直な方向、すなわちドラム軸に沿う方向に走査される。

シアン色記録装置のレーザ走査系を詳細に第4図に示す。43cは半導体レーザである。感光体ドラム18cの軸に沿う方向のレーザ走査（2点鎖線）の一端部においてレーザ光を受光する関係に光电変換素子となるセンサ44cが配設されており、このセンサ44cがレーザ光を検出し、検出から非検出に変化した時点をもつて1ライン走査の始点を検出している。すなわち、センサ44cのレーザ光検出信号（パルス）がレーザ走査のライン同期パルスとして処理される。マゼンタ記録装置、イエロー記録装置およびブラック記録装置の構成も第4図に示すシアン記録装置の構成と全く同じである。

また第1図を参照すると、感光体ドラムの表面は、図示しない負電圧の高圧発生装置に接続されたチャージスコロトロン19bk, 19y, 19

mおよび19cにより一様に帯電させられる。記録信号によつて変調されたレーザ光が一様に帯電された感光体表面に照射されると、光導電現象で感光体表面の電荷がドラム本体の機器アースに流れて消滅する。ここで、原稿濃度の濃い部分はレーザを点灯させないようにし、原稿濃度の淡い部分はレーザを点灯させる。これにより感光体ドラム18bk, 18y, 18mおよび18cの表面の、原稿濃度の濃い部分に対応する部分は-800Vの電位に、原稿濃度の淡い部分に対応する部分は-100Vに程度になり、原稿の濃淡に対応して、静電潜像が形成される。この静電潜像をそれぞれ、ブラック現像ユニット20bk, イエロー現像ユニット20y, マゼンタ現像ユニット20mおよびシアン現像ユニット20cによつて現像し、感光体ドラム18bk, 18y, 18mおよび18cの表面にそれぞれブラック、イエロー、マゼンタおよびシアントナー画像を形成する。

尚、現像ユニット内のトナーは攪拌により正に帯電され、現像ユニットは図示しない現像パイプ

ス発生器により-200V程度にバイアスされ、感光体の表面電位が現像バイアス以上の場所に付着し、原稿に対応したトナー像が形成される。

一方、転写紙カセット22に収納された記録紙267が送り出しローラ23の給紙動作により繰り出されて、レジストローラ24で、所定のタイミングで転写ベルト25に送られる。転写ベルト25に載せられた記録紙は、転写ベルト25の移動により、感光体ドラム18bk, 18y, 18mおよび18cの下部を順次に通過し、各感光体ドラム18bk, 18y, 18mおよび18cを通過する間、転写ベルトの下部で転写用コロトロンの作用により、ブラック、イエロー、マゼンタおよびシアンの各トナー像が記録紙上に順次転写される。転写された記録紙は次に熱定着ユニット36に送られ、そこでトナーが記録紙に固着され、記録紙はトレイ37に排出される。一方、転写後の感光体面の残留トナーは、クリーナユニット21bk, 21y, 21mおよび21cで除去される。

ブラックトナーを収集するクリーナユニット21bkとブラック現像ユニット20bkはトナー回収パイプ42で結ばれ、クリーナユニット21bkで収集したブラックトナーを現像ユニット20bkに回収するようにしている。尚、感光体ドラム18yには、転写時に記録紙よりブラックトナーが逆転写するなどにより、クリーナユニット21y, 21mおよび21cで収集したイエロー、マゼンタおよびシアントナーには、それらのユニットの前段の異色現像器のトナーが入り混じっているため、再使用のための回収はしない。

第5図にトナー回収パイプ42の内部を示す。

トナー回収パイプ42の内部には、トナー回収オーガ43が入っている。オーガ43はコイルスプリングで形成され、チャネル形に曲げられたトナー回収パイプ42の内側で自由に回転可能である。オーガ43は図示しない駆動手段により、一方向に回転駆動され、オーガ43の螺旋ポンプ作用によりユニット21bkに収集されているトナーが現像ユニット20bkに送られる。

記録紙を感光体ドラム18b kから18cの方向に送る転写ベルト25は、アイドルローラ26、駆動ローラ27、アイドルローラ28およびアイドルローラ30に張架されており、駆動ローラ27で反時計方向に回転駆動される。駆動ローラ27は、軸32に枢着されたレバー31の左端に枢着されている。レバー31の右端には図示しない黒モード設定ソレノイドのプランジヤ35が枢着されている。プランジヤ35と軸32の間に圧縮コイルスプリング34が配設されており、このスプリング34がレバー31に時計方向の回転力を与えている。

黒モード設定ソレノイドが非通電(カラーモード)であると、第1図に示すように、記録紙を載せる転写ベルト25は感光体ドラム44b k, 44y, 44mおよび44cに接触している。この状態で転写ベルト25に記録紙を載せて全ドラムにトナー像を形成すると、記録紙の移動に伴って記録紙上に各像のトナー像が転写する(カラーモード)。黒モード設定ソレノイドが通電される(黒

モード)と、圧縮コイルスプリング34の反発力に抗してレバー31が反時計方向に回転し、駆動ローラが5mm降下し、転写ベルト25は、感光体ドラム44y, 44mおよび44cより離れ、感光体ドラム44b kには接触したままとなる。この状態では、転写ベルト25上の記録紙は、感光体ドラム44b kに接触するのみであるので、記録紙にはブラクトナー像のみが転写される(黒モード)。記録紙は感光体ドラム44y, 44mおよび44cに接触しないので、記録紙には感光体ドラム44y, 44mおよび44cの付着トナー(残留トナー)が付かず、イエロー、マゼンタ、シアン等の汚れが全く現れない。すなわち黒モードでの複写では、通常の単色黒複写機と同様なコピーが得られる。

コンソールボード300には、コピースタートスイッチ、カラーモード/黒モード指定スイッチ302(電源投入後はスイッチキーは消灯でカラーモード設定;第1回のスイッチ閉でスイッチキーが点灯し黒モード設定となり、黒モード設定ソ

レノイドが通電される;第2回のスイッチ閉でスイッチキーが消灯しカラーモード設定となり、黒モード設定ソレノイドが非通電とされる)ならびにその他の入力キースイッチ、キャラクタディスプレイおよび表示灯等が備わっている。

次に第6図に示すタイムチャートを参照して、複写機構主要部の動作タイミングを説明する。第6図は2枚の同一フルカラーコピーを作成するときのものである。第1キャリッジ8の露光走査の開始とほぼ同じタイミングでレーザ43b kの、記録信号に基づいた変調付勢が開始され、レーザ43y, 43mおよび43cはそれぞれ、感光体ドラム44b kから44y, 44mおよび44cの距離分の、転写ベルト25の移動時間Ty, Tm, およびTcだけ遅れて変調付勢が開始される。転写用コロトロン29b k, 29y, 29mおよび29cはそれぞれ、レーザ43b k, 43y, 43mおよび43cの変調付勢開始から所定時間(感光体ドラム上の、レーザ照射位置の部位が転写用コロトロンまで達する時間)の遅れの後に付勢さ

れる。

第2図を参照する。画像処理ユニット100は、CCD7r, 7gおよび7bで読み取った3色の画像信号を、記録に必要なブラック(Bk), イエロー(Y), マゼンタ(M)およびシアン(C)の各記録信号に変換する。Bk記録信号はそのままレーザドライバ112b kに与えるが、Y, MおよびC記録信号は、それぞれそれらの元になる各記録色階調データをバッファメモリ108y, 108mおよび108cに保持した後、第6図に示す遅れ時間Ty, TmおよびTcの後に読み出して記録信号に変換するという時間遅れの後に、レーザドライバ112y, 112mおよび112cに与える。尚、画像処理ユニット100には複写機モードで上述のようにCCD7r, 7gおよび7bから3色信号が与えられるが、グラフィックスモードでは、複写機外部から3色信号が外部インターフェイス117を通して与えられる。

画像処理ユニット100のシェーディング補正回路101は、CCD7r, 7gおよび7bの出

力信号を8ビットにA/D変換した色階調データに、光学的な照度むら、CCD7r, 7gおよび7bの内部単位素子の感度ばらつき等に対する補正を施して読取り色階調データを作成する。マルチプレクサ102は、補正回路101の出力階調データと、インターフェイス回路117の出力階調データの一方を選択的に出力するマルチプレクサである。

マルチプレクサ102の出力(色階調データ)を受けるr補正回路103は階調性(入力階調データ)を感光体の特性に合わせて変更する他に、コンソール300の操作ボタンにより任意に階調性を変更し、更に入力8ビットデータを出力6ビットデータに変更する。出力が6ビットであるので、64階調の1つを示すデータを出力することになる。r補正回路103から出力されるレッド(R)、グリーン(G)およびブルー(B)それぞれの階調を示すそれぞれ6ビットの3色階調データは補色生成回路104に与えられる。補色生成は色読取り信号それぞれの記録色信号への名称

の読み替えであり、レッド(R)階調データがシアン(C)階調データと、グリーン(G)階調データがマゼンタ(M)階調データと、またブルー階調データ(B)がイエロー階調データ(Y)と変換(読み替え)される。

補色生成回路104から出力されるY, M, Cの各データは、マスキング処理回路106に与えられる。

次にマスキング処理およびUCR処理を説明する。マスキング処理の演算式は一般に、

$$\begin{bmatrix} Y_o \\ M_o \\ C_o \end{bmatrix} = \begin{bmatrix} a_{11} & a_{12} & a_{13} \\ a_{21} & a_{22} & a_{23} \\ a_{31} & a_{32} & a_{33} \end{bmatrix} \begin{bmatrix} Y_i \\ M_i \\ C_i \end{bmatrix}$$

Y_i, M_i, C_i: マスキング前データ

Y_o, M_o, C_o: マスキング後データ。

また、UCR処理も一般式としては、

$$\begin{bmatrix} Y_o' \\ M_o' \\ C_o' \end{bmatrix} = \begin{bmatrix} a_{11}' & a_{12}' & a_{13}' \\ a_{21}' & a_{22}' & a_{23}' \\ a_{31}' & a_{32}' & a_{33}' \end{bmatrix} \begin{bmatrix} Y_i \\ M_i \\ C_i \end{bmatrix}$$

$$\begin{bmatrix} M_o' \\ C_o' \\ BK_o' \end{bmatrix} = \begin{bmatrix} a_{21}' & a_{22}' & a_{23}' \\ a_{31}' & a_{32}' & a_{33}' \\ a_{41}' & a_{42}' & a_{43}' \end{bmatrix} \begin{bmatrix} M_i \\ C_i \end{bmatrix}$$

で表わせる。

従つて、この実施例ではこれらの式を用いて両方の計数の積を用いて、

$$\begin{bmatrix} Y_o' \\ M_o' \\ C_o' \\ BK_o' \end{bmatrix} = \begin{bmatrix} a_{11}' & a_{12}' & a_{13}' \\ a_{21}' & a_{22}' & a_{23}' \\ a_{31}' & a_{32}' & a_{33}' \\ a_{41}' & a_{42}' & a_{43}' \end{bmatrix} \begin{bmatrix} a_{11} & a_{12} & a_{13} \\ a_{21} & a_{22} & a_{23} \\ a_{31} & a_{32} & a_{33} \end{bmatrix} \begin{bmatrix} Y_i \\ M_i \\ C_i \end{bmatrix}$$

$$= \begin{bmatrix} a_{11}'' & a_{12}'' & a_{13}'' \\ a_{21}'' & a_{22}'' & a_{23}'' \\ a_{31}'' & a_{32}'' & a_{33}'' \\ a_{41}'' & a_{42}'' & a_{43}'' \end{bmatrix} \begin{bmatrix} Y_i \\ M_i \\ C_i \end{bmatrix}$$

を演算して、新しい係数を求めている。マスキング処理とUCR・黒発生処理の両者を同時に行う上記演算式の計数(a₁₁'等)は予め計算して上記演算式に代入して、マスキング処理回路106の予定された入力Y_i, M_iおよびC_i(各6ビット)に対応付けた演算値(Y_o'等: UCR処理回路107の出力となるもの)を予めROMにメモリしている。したがつて、この実施例では、マスキング処理回路106とUCR処理・黒発生回路は1組のROMで構成されており、マスキング処理回路106への入力Y, MおよびCで特定されるアドレスのデータがUCR処理・黒発生回路107の出力として圧縮回路500に与えられる。尚、一般的に言つて、マスキング処理回路106は記録像形成用トナーの分光反射波長の特性に合わせてY, M, C信号を補正するものであり、UCR処理回路は各色トナーの重ね合わせにおける色バランス用の補正を行うものである。UCR処理・黒発生回路107を通ると、入力されるY, M, Cの3色のデータの合成により黒成分のデー

タBkが生成され、出力のY, M, Cの各色成分のデータは、黒成分を差し引いた値に補正される。

次に画像処理ユニット100のパツファメモリ108y, 108mおよび108cを説明する。

これらは単に感光体ドラム間距離に対応するタイムディレイを発生させるものである。各メモリの書き込みタイミングは同時であるが読出しタイミングは第6図を参照すると、メモリ108yはレーザ43yの変調付勢タイミングに合わせて、メモリ108mはレーザ43mの変調付勢タイミングに合わせて、またメモリ108cはレーザ43cの変調付勢タイミングに合わせて行われ、それぞれ異なる。各メモリの容量はA3を最大サイズとするときで、メモリ108yで最小限A3原稿の最大所要量の24%、メモリ108mで48%、またメモリ108cで72%程度であれば良い。

同期制御回路114は、上記各要素の付勢タイミングを定め、各要素間のタイミングを整合させる。200は以上に説明した第2図に示す要素全

体の制御、すなわち複写機としての制御を行うマイクロプロセツサシステムである。このプロセツサシステム200が、コンソールで設定された各種モードの複写制御を行い、第2図に示す画像読取り-記録系は勿論、感光体動力系、露光系、チャージャ系、現像系、定着系等々のシーケンスを行う。

第7図に、多面鏡駆動用モータ等とマイクロプロセツサシステム(200:第2図)との間のインターフェイスを示す。第7図に示す入出力ポート207はシステム200のバス206に接続されている。尚、第7図において、45は感光体ドラム18bk, 18y, 18mおよび18cを回転駆動するモータであり、モータドライバ46で付勢される。

その他複写機各部要素を付勢するドライバ、センサに接続された処理回路等が備わっており、入出力ポート207あるいは他の入出力ポートに接続されてシステム200に接続されているが、図示は省略した。

次に、マイクロプロセツサシステム200および同期制御回路114の制御動作に基づいた各部の動作タイミングを説明する。まず、電源スイッチ(図示せず)が投入されると、装置はウオームアップ動作を開始し、

- ・定着ユニット36の温度上げ
- ・多面鏡の等速回転立ち上げ
- ・キャリツジ8のホームポジショニング
- ・ライン同期用クロックの発生(1.26 KHz)
- ・ビデオ同期用クロックの発生(8.42 KHz)
- ・各種カウンタの初期化

等の動作を行う。ライン同期クロックは多面鏡モータドライバとCCDドライバに供給され、前者はこの信号を位相ロックドループ(PLL)サーボの基準信号として用いられ、フィードバック信号であるビームセンサ44bk, 44y, 44mおよび44cのビーム検出信号がライン同期用クロックと同一周波数となるように、また所定の位相関係となるように制御される。後者は、CCD読出しの主走査開始信号として用いられる。尚、

レーザビーム主走査の開始同期用の信号は、ビームセンサ44bk, 44y, 44mおよび44cの検出信号(パルス)が、各色(各センサ)毎に出力されるのでこれを利用する。尚、ライン同期信号と各ビームセンサの検出信号の周波数はPLLしてロックされており同一であるが、若干の位相差を生じる場合があるので、走査の基準はライン同期信号ではなく各ビームセンサの検出信号を用いている。ビデオ同期用クロックは1ドット(1画素)単位の周波数を持ち、CCDドライバおよびレーザドライバに供給されている。

各種カウンタは、

- (1)読取りラインカウンタ
- (2)bk, Y, M, C各書き込みラインカウンタ
- (3)読取りドットカウンタ
- (4)bk, Y, M, C各書き込みドットカウンタ

であるが、上記(1)および(2)はマイクロプロセツサシステム200のCPU202の動作で代用するプログラムカウンタであり、(3)および(4)は図示していないがハード上個別に備わっている。

次にプリントサイクルのタイミングを第6a図に示し、これを説明する。ウォームアップ動作を完了すると、プリント可能状態となり、ここでコピースタートキースイッチ301がオンになると、システム200のCPU202の動作により、第1キャリッジ8駆動モータ(第7図)が回転を始め、キャリッジ8および9(8の1/2の速度)が左側に走査(露光走査)を開始する。キャリッジ8がホームポジションにあるときは、ホームポジションセンサ39の出力がHであり、露光走査(副走査)開始後間もなくLになる。このHからLに転ずる時点で読取りラインカウンタをクリアすると同時に、カウンタエネーブルにする。尚、このHからLへの変化時点は原稿の先端を露光する位置である。

センサ39がLになった後に入ってくるライン同期用クロックで、読取りラインカウンタを、1パルス毎にカウントアップする。また、ライン同期用クロックが入って来るときは、その立ち上がりで読取りドットカウンタをクリアし、カウンタ

イン同期用クロック信号の2クロック分だけ少なくとも要する。

次に書き込みでは、まず書き込みラインカウンタのクリアおよびカウンタエネーブルは、読取りラインカウンタが2のとき、Bk書き込みカウンタが、読取りラインカウンタが1577のとき、Y書き込みカウンタが、読取りラインカウンタが3152のとき、M書き込みカウンタが、また、読取りラインカウンタが4727のとき、C書き込みカウンタが、それぞれクリアおよびカウンタエネーブルされるという形で行われる。これらのカウンタアップは、それぞれのビームセンサ44bk, 44y, 44mおよび44cの検出信号の立ち上がりにおいて行われる。また、書き込みドットカウンタ(Bk, Y, M, C)は、それぞれのビームセンサの検出信号の立ち上がりでクリアされ、カウンタアップはビデオ同期信号によつて行われる。

各色の書き込みは、読取りカウンタの内容が所定の値に達し、各色の書き込みラインカウンタがカウンタエネーブルになり、最初のビームセンサ検

エネーブルにする。従つて、最初のライン読取りは、ホームポジションセンサ39がLになつて後、最初のライン同期用クロックが入った直後のビデオ同期クロックに同期して、画素1, 画素2, ……画素4667と順次読み取る。尚、画素のカウントは、読取りドットカウンタによつて行われる。

またこのときの読取りラインカウンタの内容は1である。2ライン目以降も同様に、次のライン同期用クロックで読取りラインカウンタをインクリメントし、読取りドットカウンタをクリアし、次から入ってくるビデオ同期クロックに同期し、読取りカウンタをインクリメントすると共に画素の読取りを行う。このようにして、順次ラインを読み取り、読取りラインカウンタが6615ラインまでカウントすると、そのラインで最後の読み取りを行い、キャリッジ駆動モータを逆転付勢しキャリッジ8および9をホームポジションに戻す。

以上のようにして読み取られた画素データは順次画像処理ユニット100に送られ、各種の画像処理を施される。この画像処理を行う時間は、ラ

出信号でカウンタ開始されたとき(内容1)から最初のライン書き込みドットカウンタの所定の値のときに、レーザドライバを駆動し書き込みが行われる。ドットカウンタが1~400の間は、ダミーデータで、401~5077(4677個)が書き込み可能な値である。ここでダミーデータは、ビームセンサ44bk, 44y, 44mおよび44cと感光体ドラム18bk, 18y, 18mおよび18cの物理的距離を調整するためのものである。また、書き込みデータ(1又は0)はビデオ同期信号の立ち下がり点で捕らられる。ライン方向の書き込み範囲は、各書き込みラインカウンタが1~6615ラインのときである。

第2図のデータ圧縮回路500の内部ブロック図は第8図に示され、501は2×2ドット配置、502は2×2平均化、503は2ライン2ドットデイレイ、504はエッジ抽出、505はセレクトである。

本実施例においては画像を中間調部とエッジ部に分解して中間調部は階調性を重視し、かつエッ

ジ部はエッジ情報、すなわちドット配置を重視した処理を行う。このエッジ情報と共に、エッジ処理はドット配置情報を、そして非エッジ部は中間調データを出力するものである。

第8図の 2×2 ドット配置の回路でブロックを第9図に示す。図において506は第1のプログラマブル読出専用メモリ(PROM)1、507は第1のラッチ、508は第2のラッチ、509はバッファ、510はランダムアクセスメモリ(RAM)、511は第2のプログラマブル読出専用メモリである。

この構成において、入力データは第1PROM 506で下記のしきい値により4値化される。

入力データ	第1PROM出力
0 ~ 15	0 0
16 ~ 31	0 1
32 ~ 47	1 1
48 ~ 63	1 0

この値を第1および第2ラッチ507、508にラッチして2画素まとめてRAM 510に1ラ

出力例を第11図に示す。ここで、第10図の重み付けにより上位0011が決定し、2値化レベル1も0も0、1両方出現しているのもそれぞれ00となる。

中間調処理は 2×2 のサブマトリクスを想定して 2×2 の平均化回路を用いている。この回路の回路ブロック図を第12図に示す。図において、512は第1ラッチ、513は第2ラッチ、514は第1加算器、515はバッファ、516はRAM、517は第2加算器である。入力データはそれぞれ第1および第2ラッチ512、513にラッチされ、第1加算器514で2画素加算され、RAM 516に1ライン分蓄えられる。次のラインが来ると、同様に第1および第2ラッチ512、513にラッチされ、第1加算器514で加算されたデータとRAM 516に蓄えられたデータを第2加算器517で加算することにより 2×2 画素のデータが加算され、下位2ビットを切り捨てることにより 2×2 画素の平均データが得られる。尚、バッファ516は1ライン目ではオンとなり、

イン分蓄える。次のラインでは同様に第1および第2ラッチ507、508にラッチした2画素データと前記のごとくRAM 510に蓄えた2画素データを読み出し、同時に第2PROM 511に入力して 2×2 画素のドット配置情報を出力するものである。ここで、バッファ509は2ライン目処理時第1および第2ラッチ507、508の出力がRAM 510からの読出しデータとぶつからないようにするためのもので、1ライン毎にオン/オフされる。

第2PROM 511の出力は前記第1PROM 506の出力の上位ビットが2値化出力で、これと位置の重みにより上位4ビットを決定する。この位置の重み付けは第10図に示す。

次に第1PROM 506の出力の下位ビットは上位ビットが0の全面素が1であれば1、1つでも0があれば0を第2PROM 511の出力の1ビット目に出力し、上位ビットが1の場合にも同様にその値を第2PROM 511の出力の0ビット目に出力する。この第2PROM 511の

RAM 516にデータが書き込まれる2ライン目はオフとなり、RAM 516の読出しデータと第1加算器512の出力がぶつからないようにするためのものである。

次に第8図のエッジ抽出504について述べる。

これは 2×2 画素単位で平均化、およびドット配置したデータのいずれかを選択するためにも使用されるもので、 2×2 画素単位で 3×3 のエッジ抽出フィルタを行うものである。

エッジ領域は、空間フィルタによつて抽出できる。例えば、互いに隣り合う 3×3 画素の局所領域を想定し、その各画素単位A、B、C、D、E、F、G、HおよびIに第13図の各パターンに示すような重み付けを行い、これら9画素に対応する各濃度データの重み付けデータの総和を出力することは、フィルタの機能と等価である。この種の空間フィルタは、各画素の重み付けに応じて特性が定まる。第13図に示すフィルタのパターンPA、PB、PC、PDおよびPEはエッジ抽出フィルタとして機能する。

第15図は、第14図に示すデータをパターンPDのエッジ抽出フィルタを用いて処理した結果を示す。

第8図のエッジ抽出回路504は二次元の空間フィルタであり、エッジ領域以外の情報を減衰させて、エッジ情報のみを抽出する。つまり、データのエッジ以外の部分では処理結果が殆ど0になる。尚この例では、フィルタの係数として、第13図のパターンPDを利用している。つまり、A, B, C, D, E, F, G, HおよびIでなる3×3の画素マトリクス領域を想定した場合、中心画素Eのデータを次式の値E'に置き換える。 $E' = 12 \cdot E - 2(B + D + F + H) - (A + C + G + I)$

3×3画素マトリクスの空間フィルタを構成するためには、3×3画素の二次元データの全てを同一のタイミングで参照する必要がある。しかし、フィルタに入力されるデータは時系列であるので、これら9画素のデータが現れる時間を一致させるために第16図に示すマトリクスレジスタ518

を備えている。このレジスタ518は、9個のラッチ519～527を備えている。すなわち、各ラッチ519～527は各々1画素分のデータを保持し、1ラインバツファ528および529はそれらの内部に各々1ライン分のデータを蓄えるので、例えば中央位置のラッチ523に第nラインの第m列（以下(n, m)と示す）の画素データが保持されている時には、各ラッチ519, 520, 521, 522, 523, 524, 525, 526および527の出力に、それぞれ、(n+1, m+1), (n+1, m), (n+1, m-1), (n, m+1), (n, m-1), (n-1, m+1), (n-1, m)および(n-1, m-1)の画素データが現れる。

つまり、第13図に示す3×3マトリクスを構成する各画素A, B, C, D, E, F, G, HおよびIのデータは、それぞれラッチ519, 520, 521, 522, 523, 524, 525, 526および527の出力端子に同一のタイミングで現れる。第16図を参照すると、マトリクスレジス

タ528の出力に演算ユニット530が接続されている。この演算ユニット530は、7つの加算器531, 532, 533, 534, 535, 536および537で構成されている。加算器531の2つの入力端子にラッチ519の出力とラッチ521の出力が接続され、加算器532の2つの入力端子にラッチ522の出力とラッチ524の出力が接続され、加算器532の2つの入力端子にラッチ522の出力とラッチ524の出力が接続され、加算器533の2つの入力端子にラッチ525の出力とラッチ527の出力が接続され、加算器534の2つの入力端子にラッチ520の出力とラッチ526の出力が接続されている。

従つて、加算器531, 532, 533および534は、各々G+I, D+F, A+CおよびB+Hの値を出力する。加算器535は、加算器531の出力データと加算器533の出力データを加算するので、A+C+G+Iの値を出力する。

また加算器536は、加算器532の出力デ

タと加算器534の出力データを加算するので、B+D+F+Hの値を出力する。加算器535および536の出力は、加算器537の2つの入力端子に接続されている。但し、加算器536の出力は、1ビット分、上位桁にシフトした状態で加算器537に接続してある。従つて、加算器537の出力端子には、 $2 \cdot (B + D + F + H) + A + C + G + I$ の値が現れる。

ラッチ523の出力に接続され6ビットの信号ラインSEと加算器537の出力に接続された10ビットの信号ラインSXは、プログラマブル読出し専用メモリPROM320Cに接続されている。

メモリ320Cは、読出し専用メモリであり、 $12 \cdot E + X$ の演算結果を固定しきい値32と比較した結果を、その入力データに応じたメモリアドレスに予め格納してある（Xは信号ラインSXの値）。つまり、エッジ抽出した結果が32以上なら「1」を、そうでなければ「0」を、信号ライン325に出力する。つまり、データ「1」があれば、エッジ情報が存在することになる。

データ圧縮回路500ではPROM320Cの出力ライン325が“1”のとき 2×2 ドット配置データを、そして“0”のとき 2×2 平均化データをセレクト505(第8図)により 2×2 画素単位で6ビット出力し、これに出力ライン1ビットを加えた7ビットがメモリ108y、108m、108c(第2図)へ、ブラックについては直接階調処理回路に入力される。

尚、2ライン2ドットデレイ回路503(第8図)はエッジ抽出が 2×2 画素単位で 3×3 のフィルタで判定されるので、第17図のように、 3×3 の中心 2×2 でエッジ判定が実施される。

しかしながら、この回路なしでセレクト505により選択されると、判定画素と配置または平均化処理の出力が同期しないために用いられる。

次に、第2図のデータ伸長回路109の内部回路を第18図のブロック図で示す。図において、109a、109bは第1および第2プログラマブル読出し専用メモリ(PROM)、109cはセレクトである。第2図のメモリ108y、108

m、108cおよびデータ圧縮回路500のブラック出力は主走査および副走査アドレスとともに第1および第2PROM109a、109bに入力される。

第1PROM109aには第19図に示す濃度パターンが予め記憶されており、入力データおよび主走査および副走査アドレスに対応した画素のしきい値と記憶データを比較して入力データが大きい場合に書き込みが行われるように0~4の値が3ビット出力される。

第2PROM109bにおいては、配置処理の復元として上位4ビットで第10図にしたがつて位置情報を、下位2ビットで出力レベルを第20図にしたがつて出力する。

入力データが31の場合の出力側を第21図に示す。31は011111となるので、出力レベルは11位置0111により第21図のようになる。

このような処理により、エッジ部の解像力が必要な場所で400dpi、4階調、階調性が必要

な非エッジ部で200dpi、64階調処理が可能となり、バッファメモリ容量は、
 $(6 \text{ ビット} + 1 \text{ ビット}) / (3 \text{ ビット} \times 4) = 7/12$
 となり、画像品質を低下させずに42%低減することができる。

一番容量が大きいバッファメモリ108c(第2図)の回路構成を第22図にブロック図で示す。

尚、メモリ108yおよび108mも同様な構成であるが、メモリ容量は少ない。メモリとして $1M \times 1$ ビットのメモリを42個使用して $6M \times 7$ ビットの構成としている。図において、600は第1ダウンカウンタ、601はディップスイッチ、602はフリップフロップ、603は第2ダウンカウンタ、604はディップスイッチ、605はアップカウンタ、606はセレクト、607はデコード、608~613は随時書き込み読出しメモリ(DRAM)、614は同期制御回路、615は入力ラッチ、616は出力ラッチである。

ここで、画像メモリ108cはA3サイズの72%、密度400dpiを 2×2 平均化したもので

あるので、1ラインに、

$297 \times 15.75 \times 1/2 = 2339$ のデータが
 $420 \times 0.72 \times 15.75 \times 1/2 = 2382$ ラインに書き込まれる。画像データはアップカウンタ605によつて0番地から順次決定されるDRAM608~613に書き込まれる。

第1ダウンカウンタ600は1ライン分のデータが書き込まれると、それ以上アップカウンタ605が進まないようにするものである。データが2339個以上到来して次のライン同期が来ると第1ダウンカウンタ600に2339が再び負荷されると同時に第2ダウンカウンタ603が-1される。ライン同期信号が2382ライン到来すると、第2ダウンカウンタ603の出力によりアップカウンタ605がリセットされかつ同時に第2ダウンカウンタ603にも2382が再びセットされる。

このようにして、アップカウンタ605は2339 \times 2382進カウンタとなり、そのアドレスにしたがつて選択されたDRAM608~613

のアドレスの内容がまず出力ラッチ616にラッチされかつ次いで入力ラッチ615のデータがDRAM608~613に書き込まれる。したがって、例えば、アドレス・3ライン・500番目のデータが書き込まれる前に2382ライン前の500番目のデータが出力ラッチ616に出力されることになる。

尚、上記回路中のフリップフロップ607はデータクロックがライン同期間に2339がなかった場合にそれを図示してない中央処理ユニット(CPU)に知らせるものである。

次に、 4×4 画素単位で平均化、ドット配置することを考える。この場合、第8図のデータ圧縮回路で

2×2 ドット配置 $\rightarrow 4 \times 4$ ドット配置

2×2 平均化 $\rightarrow 4 \times 4$ 平均化

2ライン2ドットデイレイ

$\rightarrow 4$ ライン4ドットデイレイ

に変更し、第18図のデータ伸長回路で

第1PROM

となる。

4×4 画素単位でさらにデータ圧縮をすることを考える。ここではエッジ部、非エッジ部を自動判定せず、外部信号を用いて切り換えることを考える。このことは中間調画素に外部から文字を入力する場合に必要となる。

2×2 サブマトリクス

$\rightarrow 4 \times 4$ 濃度パターン

第2PROM

2×2 再配置 $\rightarrow 4 \times 4$ 再配置

にすることにより実現可能となる。

この場合、 2×2 と同様に、ドット配置データを4値化すると、

4×4 平均化データ 6ビット

4×4 ドット配置データ

$4 \times 4 + 2 = 18$ ビット

が必要となり、エッジ部400dpi、4値、非エッジ部100dpi、64階調で、

$(18 + 1) / 3 \text{ビット} \times 4 \times 4 = 1.9 / 4.8$

となり、バツファメモリは60%低減可能となる。

この場合、平均化データ用6ビット以外の12ビットは無駄になる。

さらに、エッジ部濃度データを使用しないで2値化処理を行えば、ドット配置データは16ビットとなり、バツファメモリは

$(16 + 1) / 3 \times 4 \times 4 = 1.7 / 4.8$

第23図にこの回路のブロック図を示す。図において700は 4×4 平均化回路、701はセレクトである。第24図は第23図の回路において使用するデータパターンを示す図である。

この例では外部データを使用しない場合、 4×4 平均化回路700の出力がセレクト701から出力され、エッジデータ"0"とともに出力される。外部データを使用する場合は外部データがエッジデータ"1"とともに出力される。

データ伸長回路109(第2図、第18図)では第1PROM109aで 4×4 の濃度パターン法処理、第2(再配置)PROM109bで第24図に示すパターンに戻すことにより400dpi相当の解像力が得られ、

$(6 + 1) / 3 \times 4 \times 4 = 7 / 4.8$

のデータ圧縮となる。

本実施例は自動エッジ判定を行って配置パターンのうち近いもので代用し、また 2×2 画素単位で行えることは勿論である。

上述した本発明による実施例はドラム間のバツ

フアメモリについて説明されたが、一画面分のフレームメモリについてもまた応用することができる。また、本実施例においては、始めに配置したドラムに対してはバッファメモリは不要であるので、本実施例のブラックに対しては圧縮および伸長回路は不要である。

(効果)

叙上のごとく、本発明によれば、単位ブロック内の平均濃度を演算する平均濃度演算回路と、単位ブロック内の画素配置情報を検出する画素配置情報検出回路と、エッジ抽出回路とを備え、エッジを検出したときエッジ符号とともに画素配置情報を、その他の場合は平均濃度を出力するようにしたので、階調性および解像力を低下させることなくバッファメモリの数を低減することができるという効果を奏するデータ圧縮方式を提供することができる。

4. 図面の簡単な説明

第1図は本発明を実施するデジタルカラー複写

によるエッジ判定を説明する図、第18図はデータ伸長回路の内部ブロック図、第19図は濃度パターンを示す図、第20図は下位2ビットの出力レベルを示す図、第21図は入力データが31の場合の出力例を示す図、第22図は第2図のバッファメモリの1つの回路構成を示すブロック図、第23図は4×4画素単位のデータ圧縮の場合のデータ圧縮回路のブロック図、第24図は第23図の回路において使用するデータパターンを示す図、第25図は5値化のパターンを説明する図、第26図は5値化のパターンの重み付けの1例を示す図、第27図は第26図の重み付けによる出力例を示す図、第28図は5値化出力でディザ処理を行う場合を説明する回路ブロック図、第29図は濃度パターン法で平均化した後データをメモリに入れる方式を説明する回路ブロック図である。

108c, 108m, 108y…バッファメモリ、109…データ伸長回路、500…データ圧縮回路、501…2×2ドット配置、502…2×2平均化、503…2ライン2ドットディレイ、

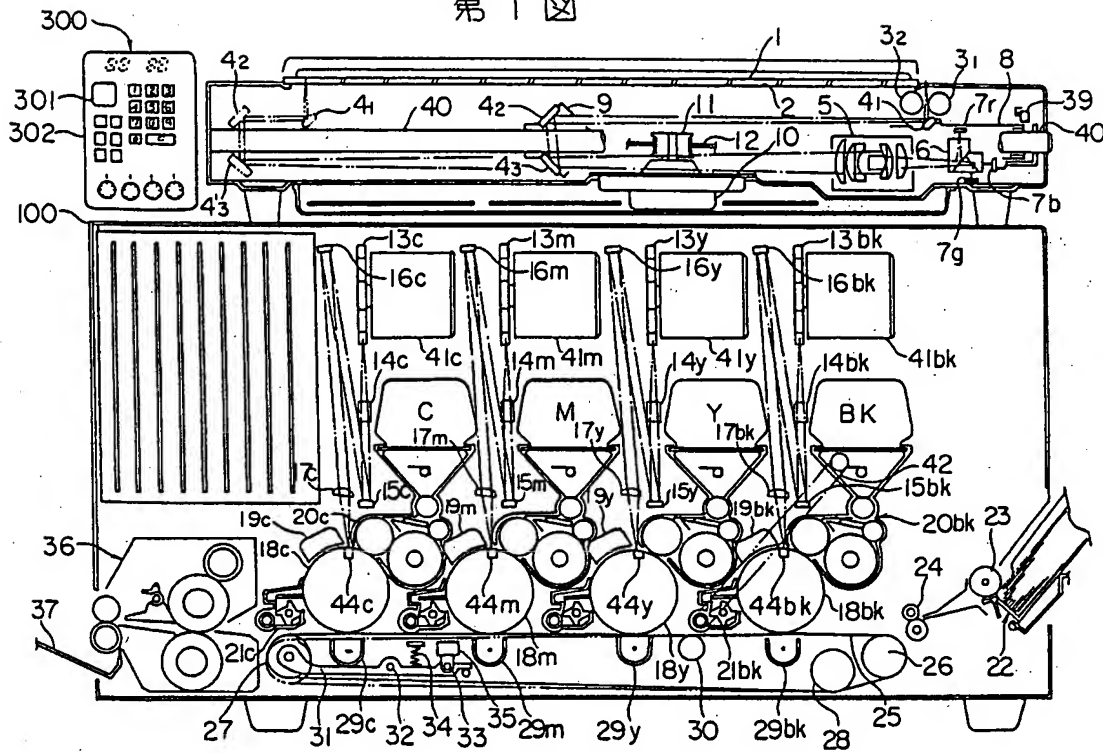
機の機構部の構成を示す概略図、第2図はその電装部の構成を示すブロック回路図、第3図は検出態様を示す部分斜視図、第4図はシアン色記録装置のレーザ走査系を示す斜視図、第5図はトナー回収パイプの内部を示す部分断面斜視図、第6図は第2図の回路の動作タイミングを説明するタイムチャート、第6a図はプリントサイクルのタイミングを説明するタイムチャート、第7図は多面鏡駆動用モータ等とマイクロプロセッサシステムとの間のインターフェイスを示すブロック回路図、第8図はデータ圧縮回路の内部ブロック図、第9図は2×2ドット配置の回路ブロック図、第10図は2値化出力の位置の重み付けを説明する図、第11図はプログラマブル読み出し専用メモリの出力例を示す図、第12図は2×2平均化回路のブロック図、第13図はフィルタのパターンを説明する図、第14図はエッジ抽出フィルタによる処理前のデータを示す図、第15図はその処理後のデータを示す図、第16図はマトリクスレジスタのブロック回路図、第17図は3×3のフィルタ

504…エッジ抽出、505…セレクト。

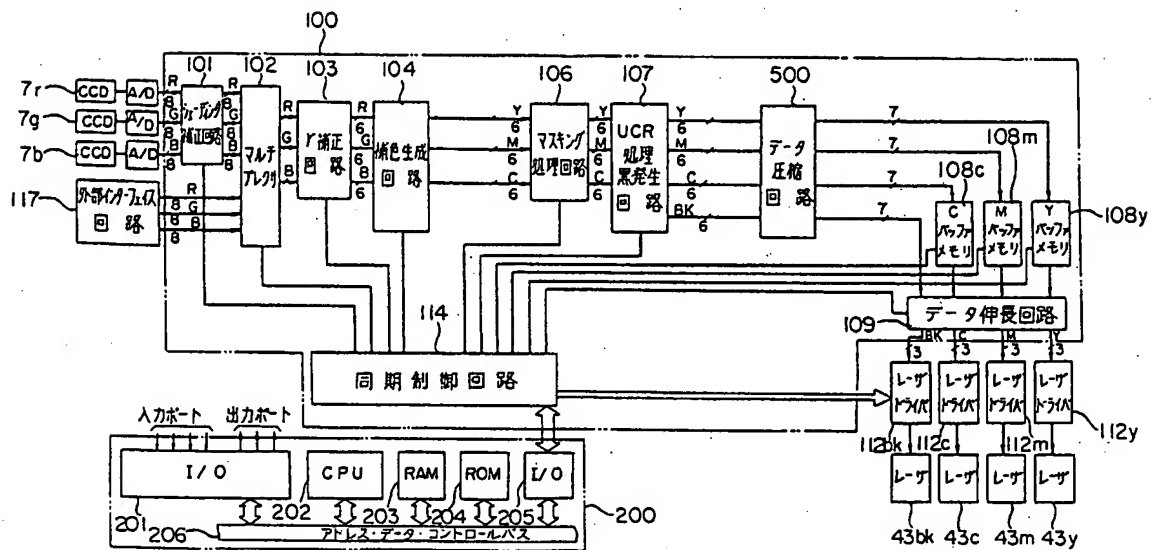
代理人 弁理士 武 顕次郎



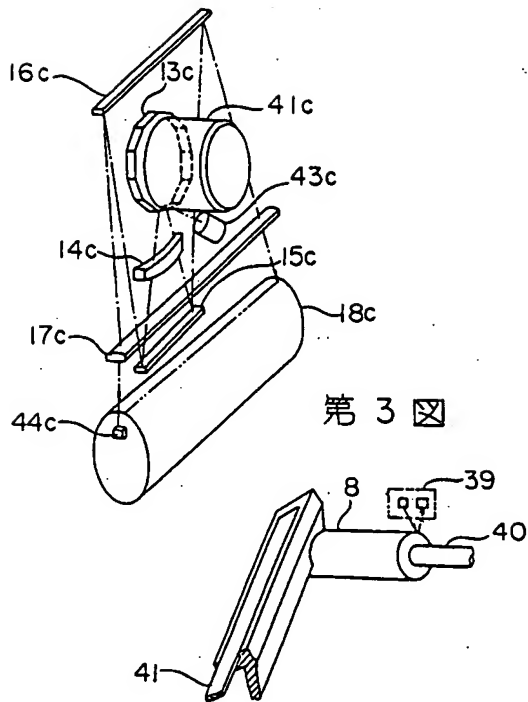
第 1 図



第 2 図

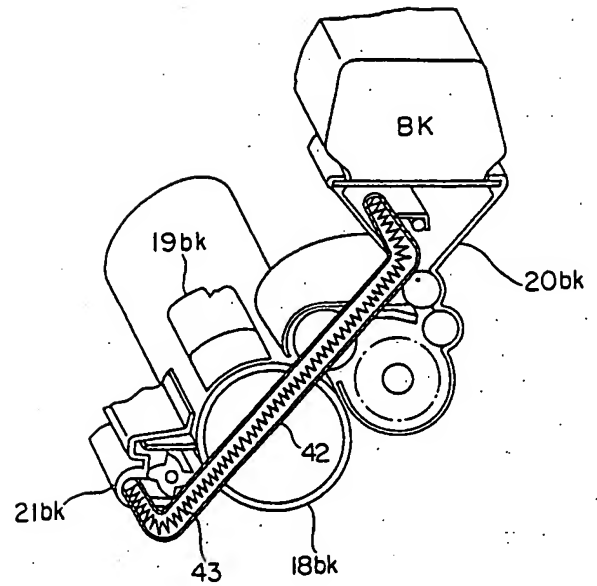


第 4 図

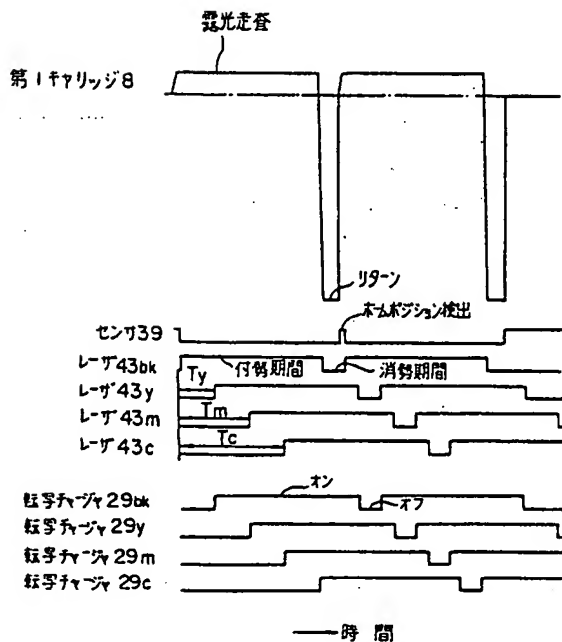


第 3 図

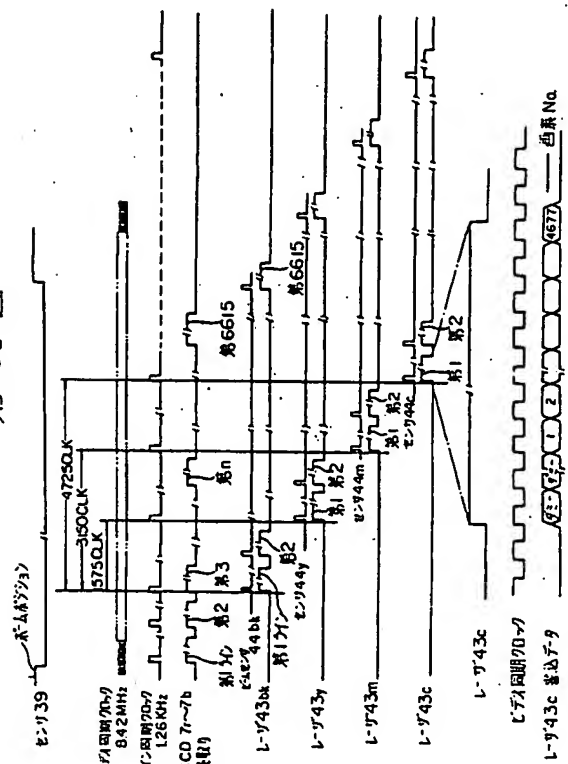
第 5 図



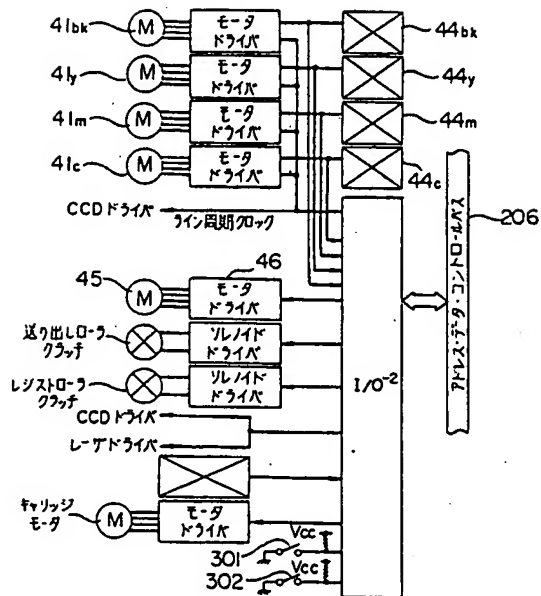
第 6 図



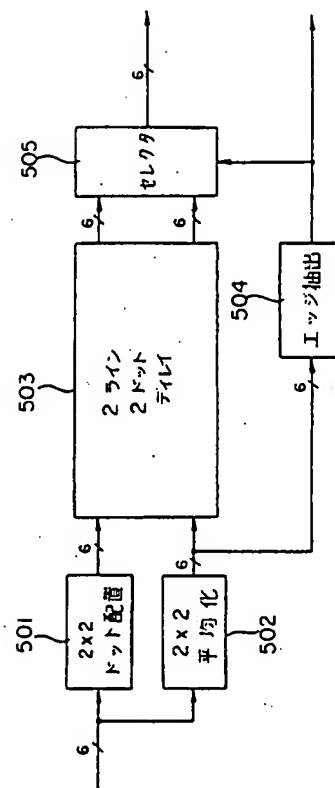
第 6 a 図



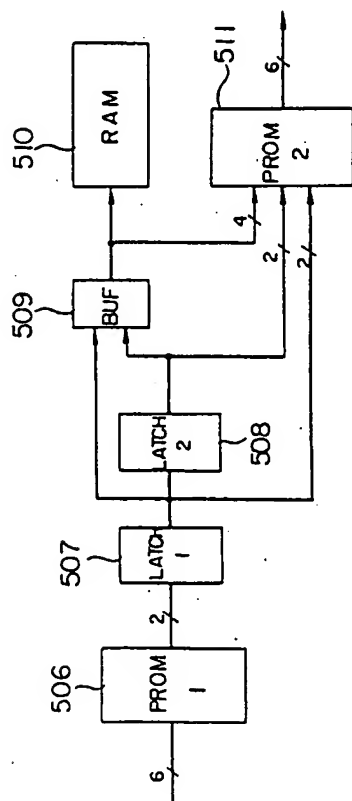
第 7 図



第 8 図



第 9 図



第 20 図

	0	1
00		
01		
10		
11		

第 10 図

4	8
16	32

第 21 図

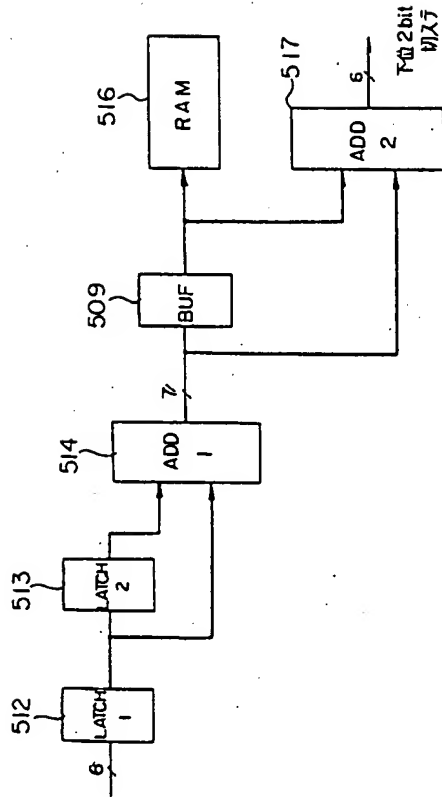
第 11 図

入力データ	PROM 出力
0 ~ 15	00
16 ~ 31	01
32 ~ 47	11
48 ~ 63	10

10	11
00	01

PROM 出力
001100

第 12 図



第 13 図

	A	B	C	
	-1	0	-1	
D	0	4	0	PA
E	-1	0	-1	F
	G	H	I	
	0	-1	0	
	-1	-4	-1	PB
	0	-1	0	

	-1	-1	-1
	-1	8	-1
	-1	-1	-1

	-1	-2	-1
	-2	12	-2
	-1	-2	-1

	-0.5	-1	-0.5
	-1	6	-1
	-0.5	-1	-0.5

第 17 図

配置		
平均化		
	1ビット抽出	

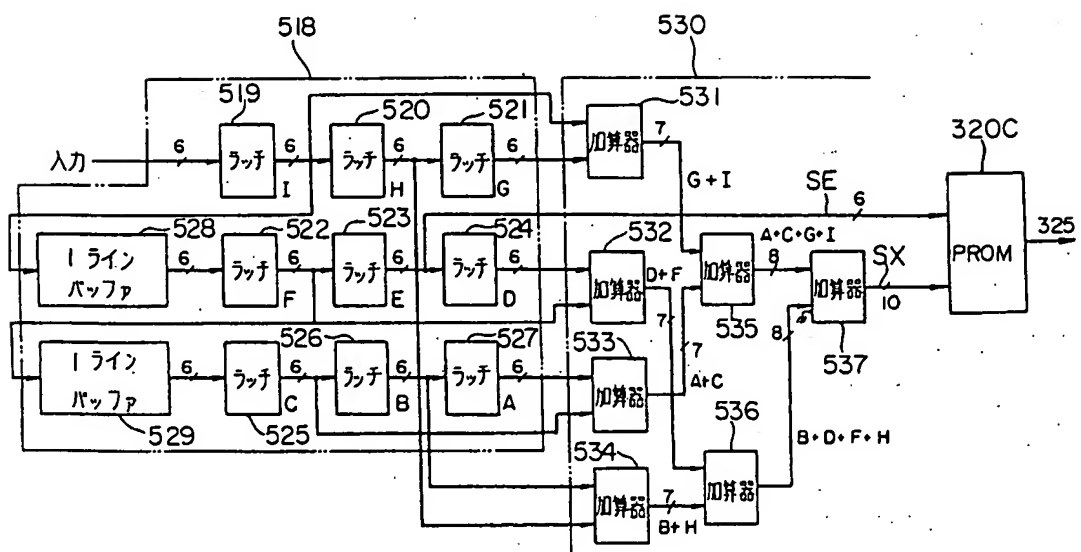
第 14 図

13	16	13	14	14	13	13
15	14	14	13	13	16	13
14	15	14	15	15	20	40
15	15	17	25	40	42	43
20	35	42	44	44	44	44
44	44	45	44	44	44	44
44	44	44	44	45	44	44
44	44	44	44	44	44	44

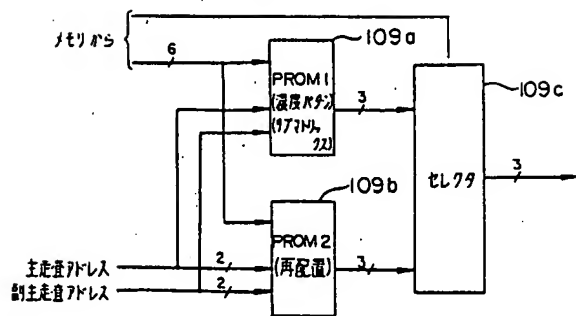
第 15 図

0	13	4	0	0	0	1	0
5	0	0	0	1	0	0	0
0	5	0	0	0	0	2	63
0	0	0	0	63	63	63	24
0	52	63	63	29	7	0	0
63	40	25	0	0	0	0	0
0	0	0	0	12	0	0	0
0	0	0	0	0	0	0	0

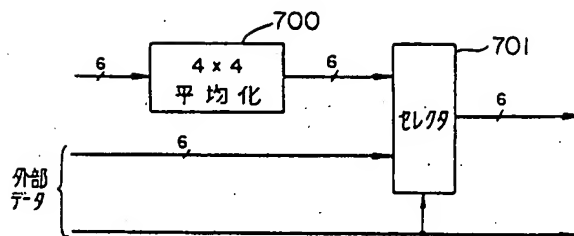
第 16 図



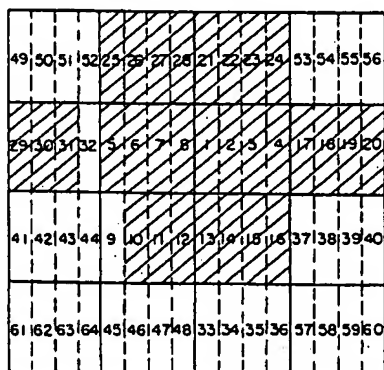
第 18 図



第 23 図



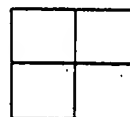
第 19 図



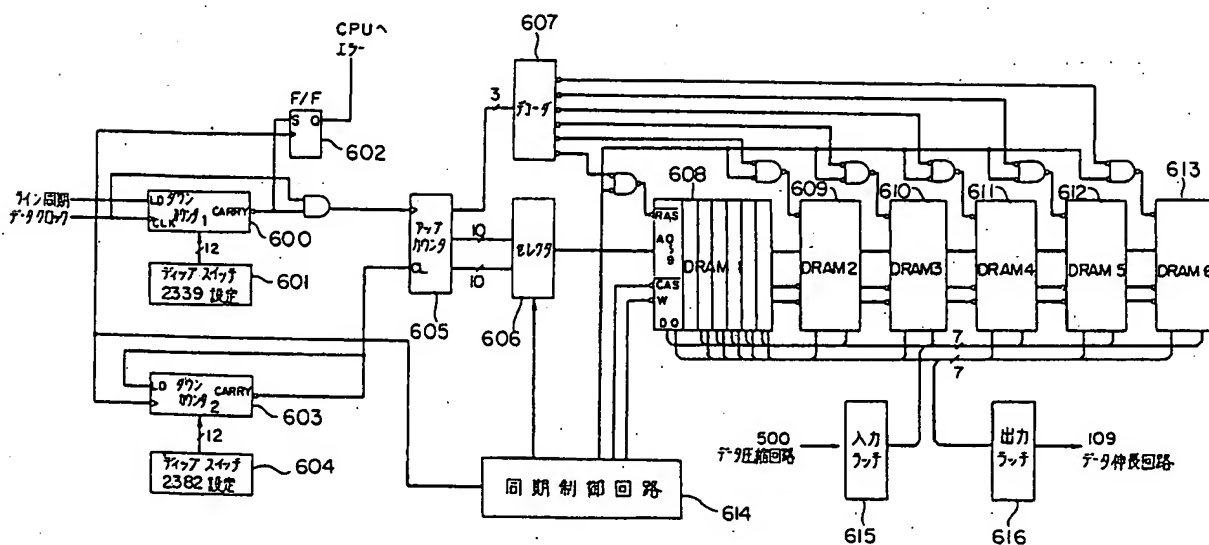
第 25 図



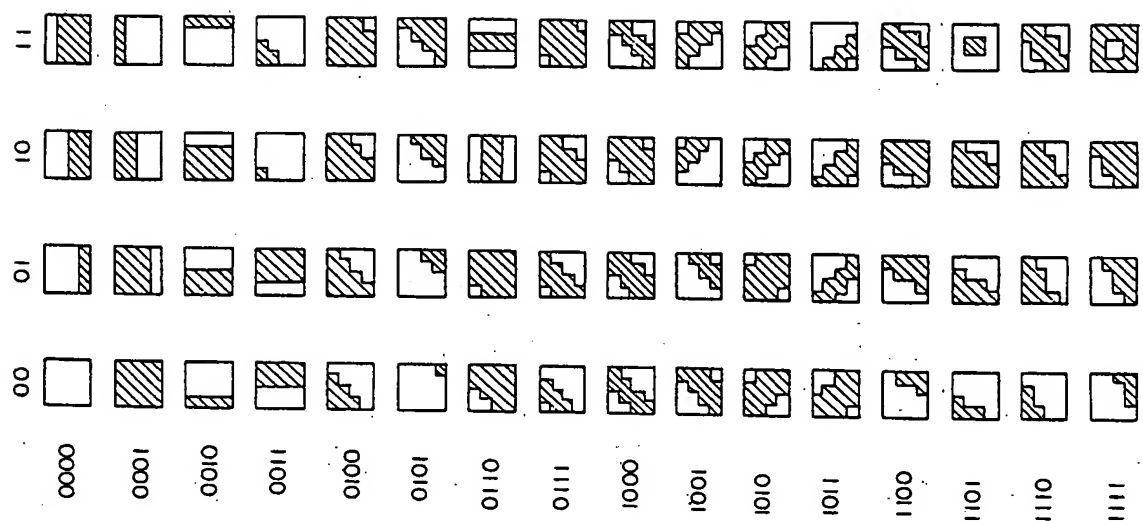
第 26 図



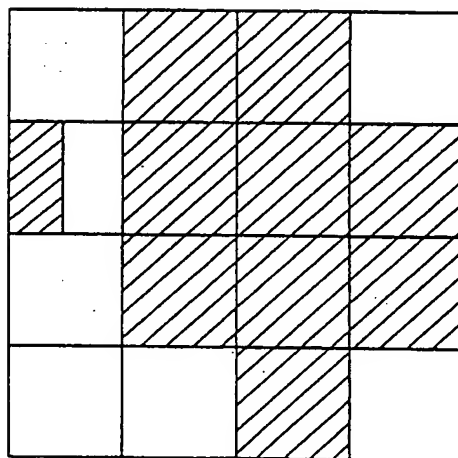
第 22 図



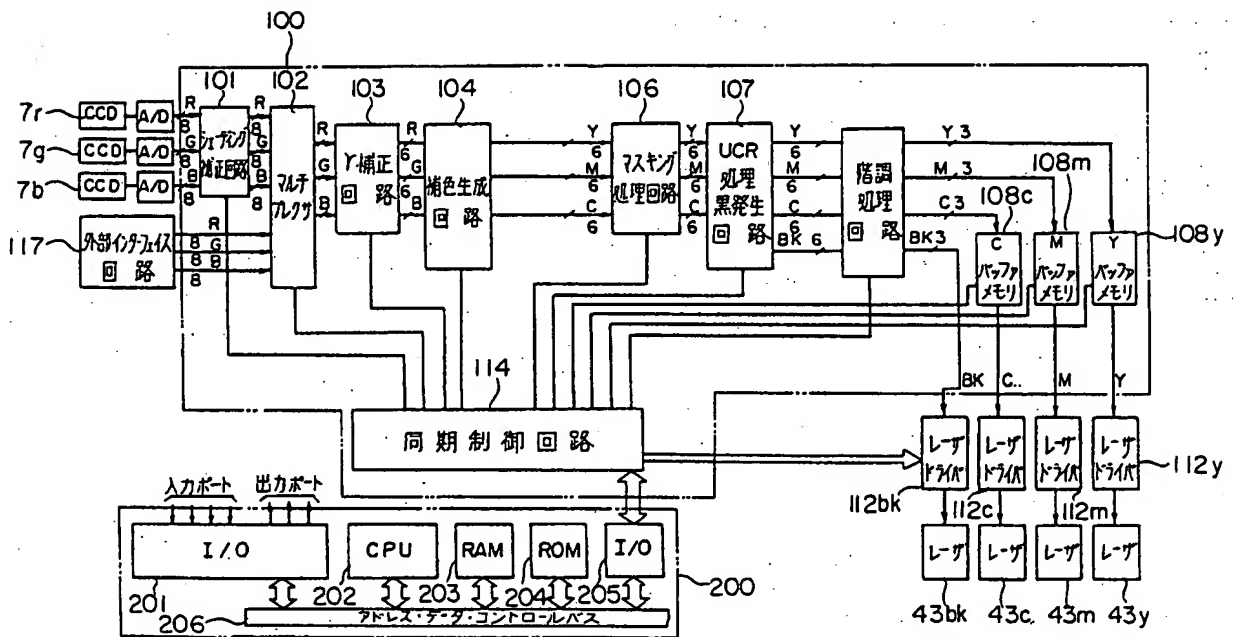
第 24 図



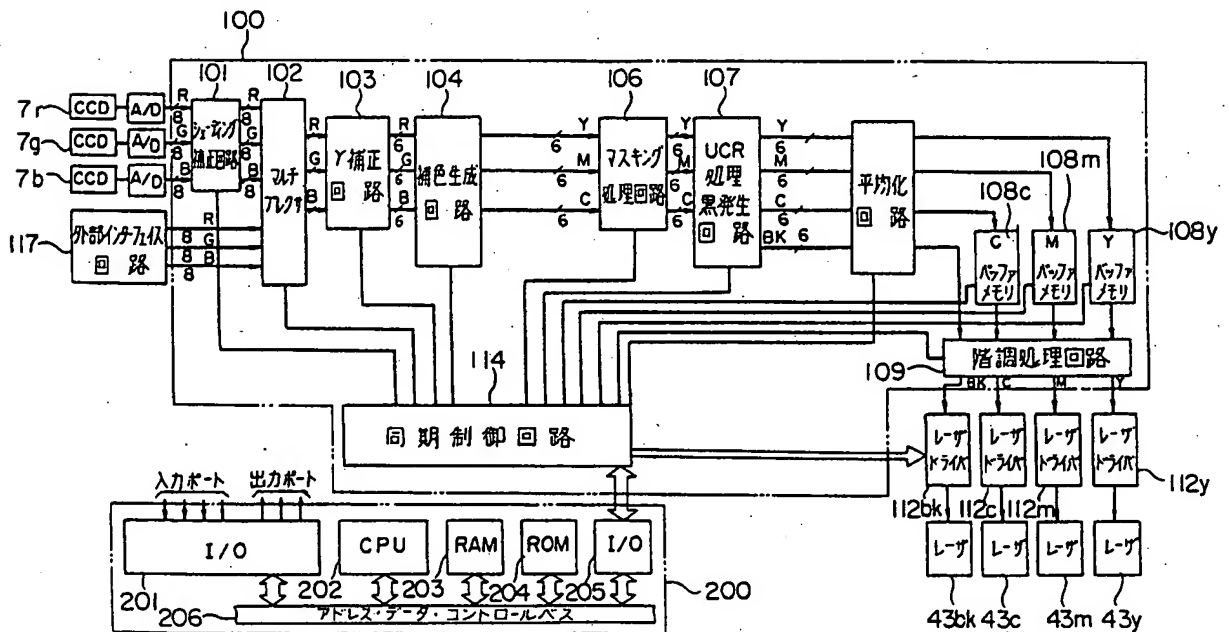
第 27 図



第 28 圖



第 29 回



手続補正書(自発)

(1)明細書21ページ7~11行の

昭和62年6月9日

特許庁長官殿

事件の表示

特願昭61-228104

発明の名称

データ圧縮方式

補正をする者

事件との関係 出願人

名称 (674)株式会社 リコ-

代理人

東京都港区西新橋1丁目6番13号柏屋ビル

(7813) 弁理士 武 顕次郎

補正命令の日付 自発

補正の対象

(1)発明の詳細な説明の欄

補正の内容

別紙記載の通り

$$\begin{bmatrix} Y_0' & a_{11}' & a_{12}' & a_{13}' \\ M_0' & a_{21}' & a_{22}' & a_{23}' \\ C_0' & a_{31}' & a_{32}' & a_{33}' \\ B_{K0}' & a_{41}' & a_{42}' & a_{43}' \end{bmatrix}$$

を

$$\begin{bmatrix} Y_0' \\ M_0' \\ C_0' \\ B_{K0}' \end{bmatrix} = \begin{bmatrix} a_{11}' & a_{12}' & a_{13}' \\ a_{21}' & a_{22}' & a_{23}' \\ a_{31}' & a_{32}' & a_{33}' \\ a_{41}' & a_{42}' & a_{43}' \end{bmatrix}$$

に補正します。

(2)明細書23ページ9~10行の「レザ」を「レ
-ザ」に補正します。(3)明細書25ページ10行の「8.42 KHz」を
「8.42 MHz」に補正します。(4)明細書42ページ11~12行の「負荷」を
「付加」に補正します。